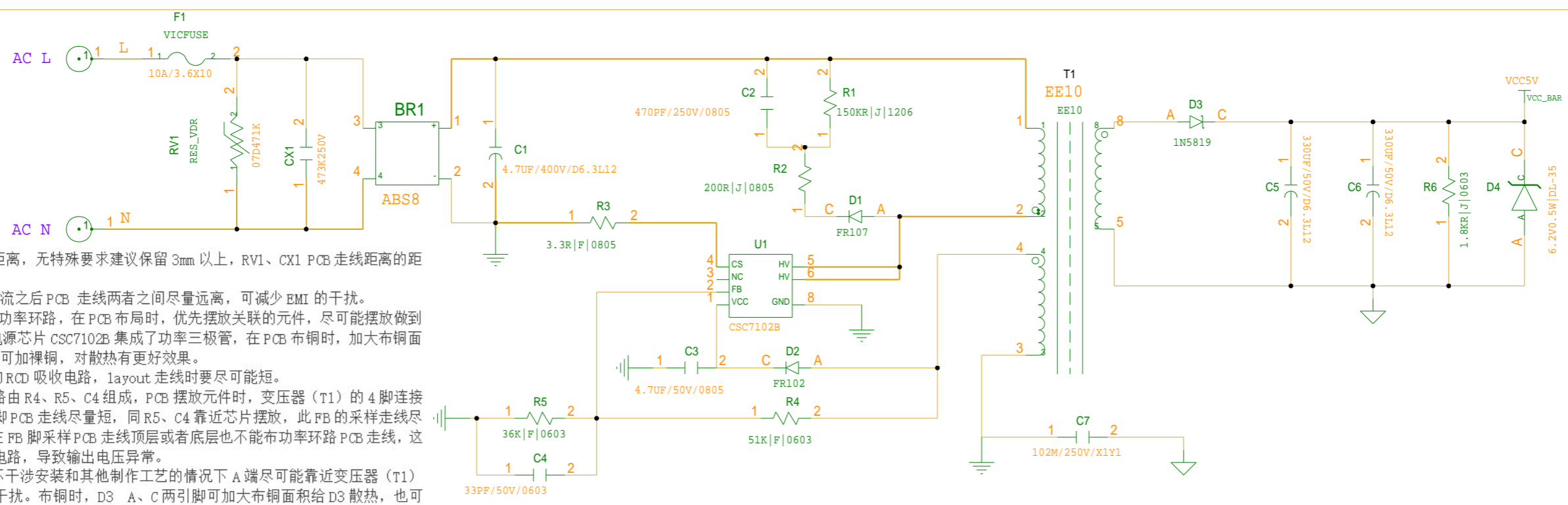


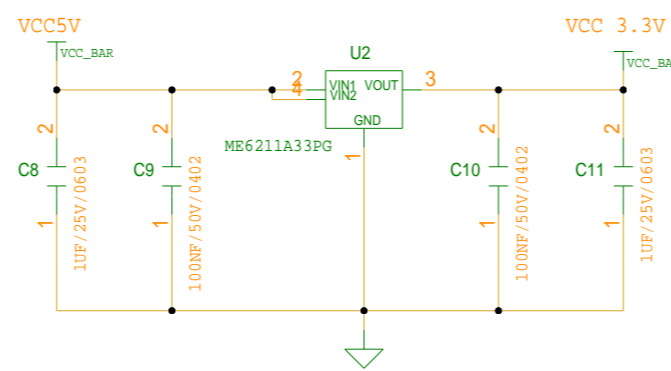
AC TO DC POWER



AC TO DC 电源 layout:

- 1、AC L、AC N 注意规范距离，无特殊要求建议保留3mm 以上，RV1、CX1 PCB 走线距离的距离尽量保持同两引脚的距离。
- 2、交流部分与整流桥堆整流之后 PCB 走线两者之间尽量远离，可减少 EMI 的干扰。
- 3、原理图中加粗的线条为功率环路，在 PCB 布局时，优先摆放关联的元件，尽可能摆放到 PCB 走线最短的距离。开关电源芯片 CSCT102B 集成了功率三极管，在 PCB 布局时，加大布铜面积给芯片散热，芯片 5、6 脚可加焊铜，对散热有更好效果。
- 4、C2、R1、R2、D1 组成的 RCD 吸收电路，layout 走线时要尽可能短。
- 5、CSCT102B FB 脚采样电路由 R4、R5、C4 组成，PCB 摆放元件时，变压器 (T1) 的 4 脚连接到 R4，R4 连接到芯片的 FB 脚 PCB 走线尽量短，同 R5、C4 靠近芯片摆放，此 FB 的采样走线尽量远离功率环路 PCB 走线，在 FB 脚采样 PCB 走线顶层或者底层也不能布功率环路 PCB 走线，这防止功率环路干扰到采样电路，导致输出电压异常。
- 6、D3 为输出整流管，在不干涉安装和其他制作工艺的情况下 A 端尽可能靠近变压器 (T1) 的 8 脚摆放，可减少 EMI 的干扰。布局时，D3 A、C 两引脚可加大布铜面积给 D3 散热，也可以加焊铜，对散热有更好效果。
- 7、输出滤波电路由 C5、C6 组成，也可采用 π 型滤波电路，此电路滤波效果更佳。PCB 摆放元件时，由于 D3 是热导体，C5 不宜直接靠近 D3 C 端引脚，保留一定的距离，但不能距离太远，远离后滤波效果很差。PCB 布局时，正负极管先要经过 C5 电容引脚再到 C6 的引脚，这样有更好的滤波效果，不宜大块面积布铜。

5V TO 3.3V POWER



5V TO 3.3V LDO layout:
PCB 元件摆放时，C8、C9 电容尽可能靠近 U2 的输入脚，C10、C11 电容尽可能靠近 U2 的输出脚，可加大布铜面积给 U2 散热，提高电源稳定性。

INSTRUCTIONS :

J=5%
F=1%



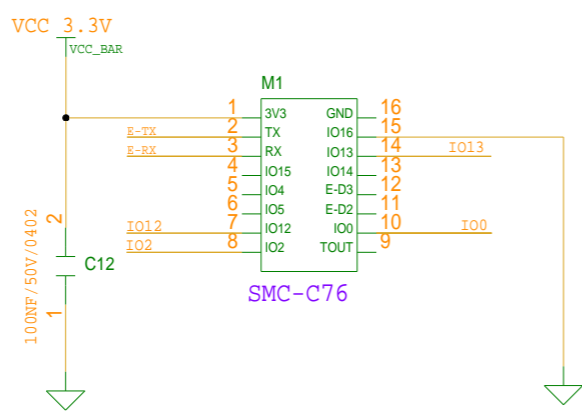
TITLE: SMC-C76

DATE:

ENGINEER:

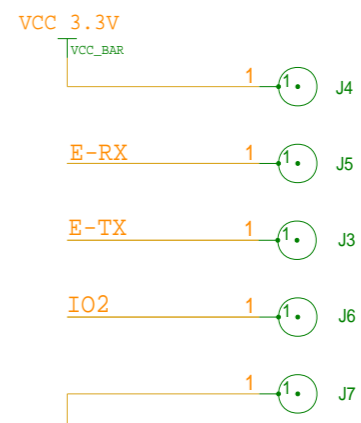
PAGE: 1-3

WIFI

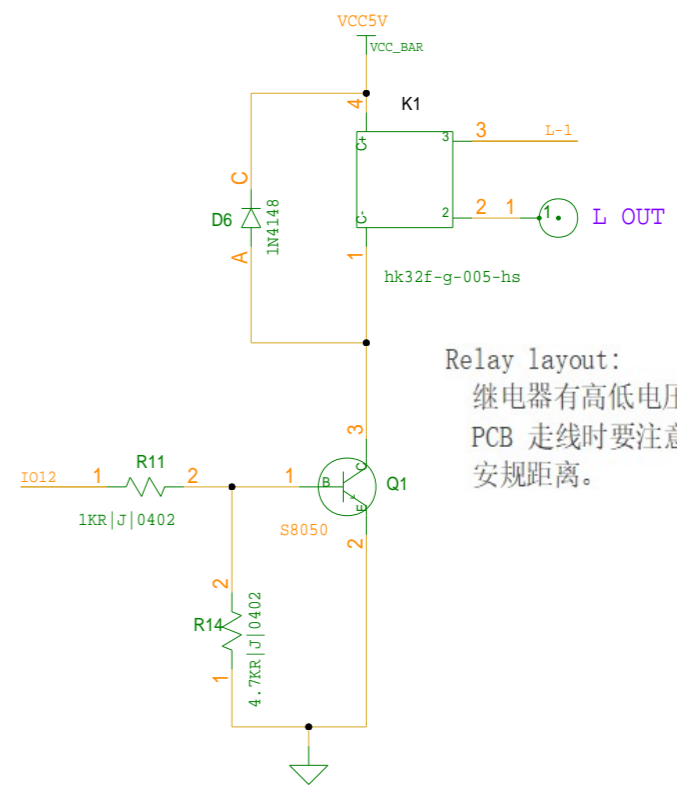


PCB layout 时，C12 尽可能靠近模块 VCC 脚摆放。

TEST PADS

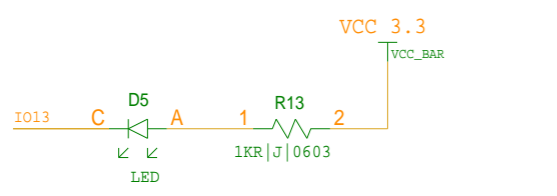


RELAY

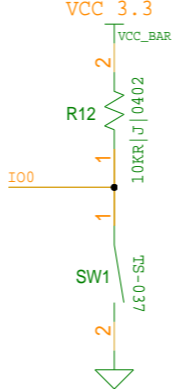


Relay layout:
继电器有高低电压，PCB 走线时要注意安规距离。

WIFI STATUS LED



SWITCH



INSTRUCTIONS :

J=5%
F=1%



TITLE: SMC-C76

DATE:

ENGINEER:

PAGE: 2-3

MEASUREMENT

PCB layout:

1、芯片电源引脚处的去耦电容 C24 尽量靠近芯片引脚摆放，这样才能起到比较好的滤波效果。

2、采样

电流采样

R16 采用 1mR 1%精度的锰铜电阻电流采样，电流采样电阻地线应和评估板地分开走线，减少其它信号对采样信号的干扰。采样电阻信号线 I+、I- 应该从锰铜电阻两端之间焊盘引出，这对信号线为差分信号，走线尽可能短，应等长等距经过滤波电路后再到计量芯片 CSE7759B 管脚 2、3。

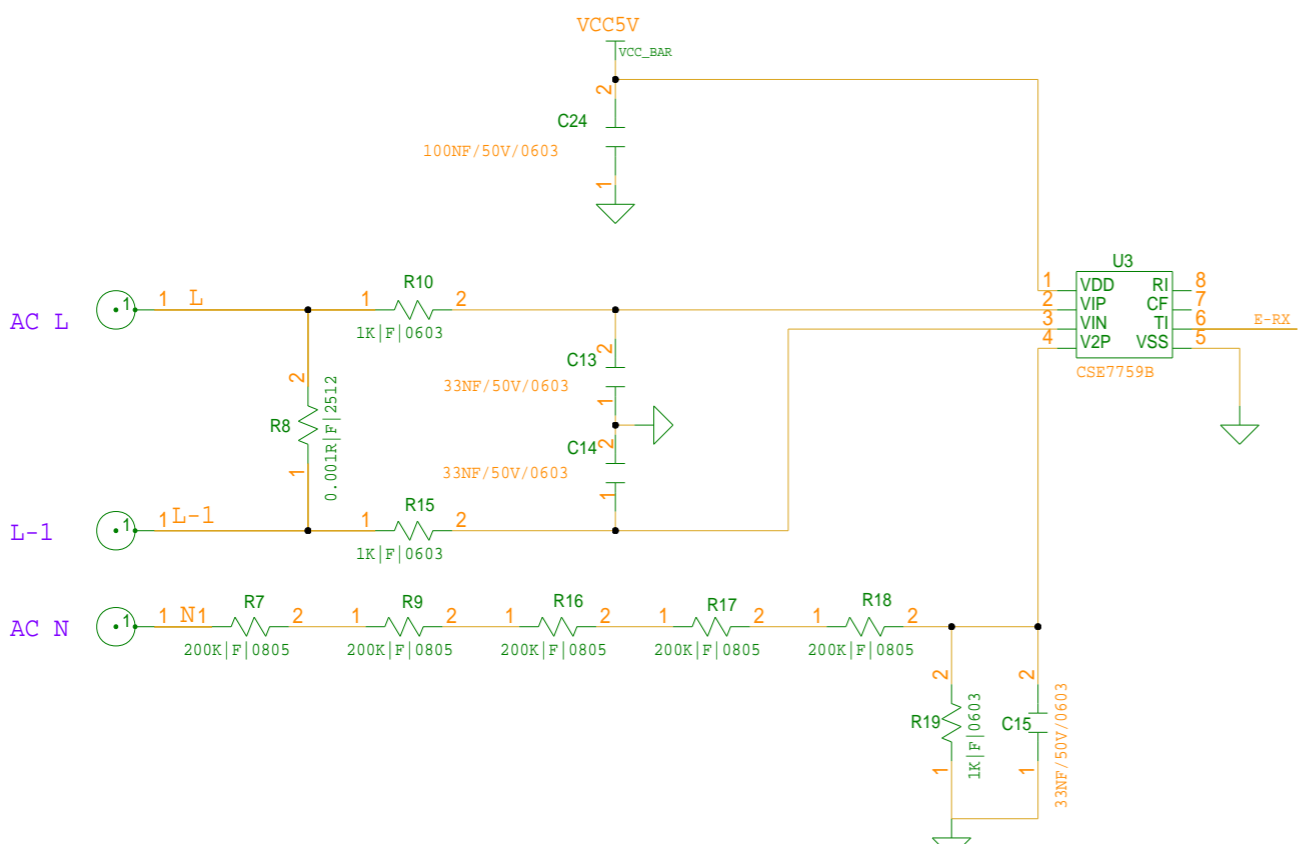
电压采样

采用 5 个 200K 1% 0805 封装串联，避免使用过程中由于电阻耐压值不够损坏。电压通道采集的分压电阻网络，应呈阶梯式分布，逐渐降压 (从输入端强压直至计量芯片 CSE7759B 的取样电压)，应注意电阻与电阻之间的爬电距离。

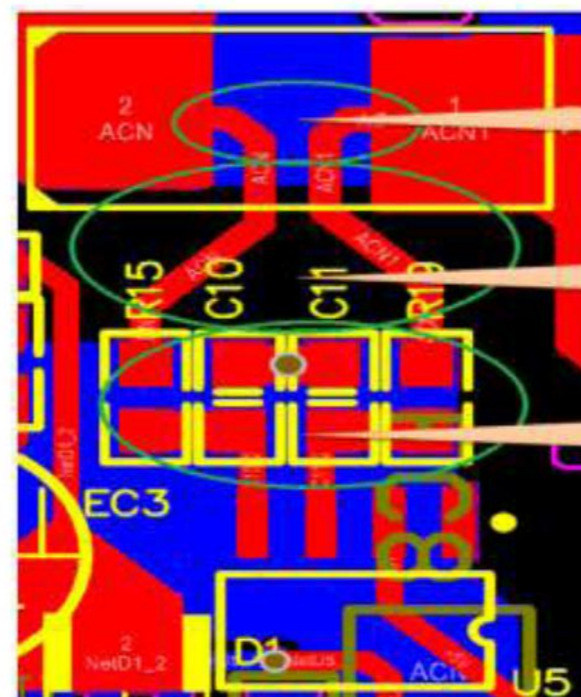
3、芯片的地线要让它能够快速的回到电源输入端压敏电阻的地上，这样可以减少外界对计量芯片的干扰。电源走线不要走成环形，环形的电源走线容易受外界的电磁干扰，本身也会对对外产生干扰。电压取样连接线和锰铜电阻取样线分隔一定距离，以免相互干扰。

4、注意：由于非隔离采样，如果需要示波器或其他电脑设备直接测量电信号，请使用隔离变压器后方可直接测量及连接。

PCB layout 时 C24 尽可能靠近芯片的 VCC 引脚。



电压采样 layout:
采用 5 个 200K 1% 0805 封装串联，避免使用过程中由于电阻耐压值不够损坏。电压通道采集的分压电阻网络，应呈阶梯式分布，逐渐降压 (从输入端强压直至计量芯片 CSE7759B 的取样电压)，应注意电阻与电阻之间的爬电距离。



信号线要从锰铜电阻的中间抽出，尽量
避免焊锡的多少影响采样电阻的大小

信号线要走差分信号，并且要尽可能短

电阻电容的排布需要参考本设计

INSTRUCTIONS :

J=5%
F=1%



TITLE: SMC-C76

DATE:

ENGINEER:

PAGE: 3-3